



JAPAN LAID-OPEN PATENT

(11) Publication number : 11-307781
(43) Date of publication of application : 05.11.1999

(51) Int.Cl. H01L 29/786
H01L 21/336

(21) Application number : 10-129489 (71) Applicant : SEMICONDUCTOR
ENERGY LAB CO LTD
(22) Date of filing : 23.04.1998 (72) Inventor : NAKAJIMA SETSUO
HAYAKAWA MASAHIKO

(54) THIN FILM TRANSISTOR AND ITS MANUFACTURE

<PATIAL TRANSLATION>

[0010] [Embodiment mode 1]

In order that the inventors investigate the factor that worsens the S value (sub threshold level coefficient) of TFT, they produced TFT on four different process conditions and measured the S value of each TFT. Fig. 8 is a process flow view showing the manufacturing process of TFT.

[0011]

As shown in Fig. 8, the process flow of TFT comprises:

the substrate treatment process S1 wherein a substrate is washed and heat-treated;

the base film formation process S2 wherein a base film for preventing the impurity from diffusing is formed;

the process S3 wherein an amorphous silicon film is formed on the base film;

the crystallization process S4 wherein the amorphous silicon film is poly-crystallized;

the UV oxidation-treatment process S5 for reforming the surface of the obtained polycrystal silicon film;

RECEIVED
APR - 1 2002
TECHNOLOGY CENTER 2800

the patterning process S6 wherein the polycrystal silicon film is patterned to form a semiconductor layer;

the gate insulating film formation pre-treatment process S7 wherein the surface of the semiconductor layer is oxidized with UV light irradiation;

the process S8 wherein the gate insulating film (the insulating film) is formed;

the process S9 wherein the gate insulating film is heat-treated;

the process S10 wherein the gate electrode is formed and the impurity is introduced by using the self aryne method;

the impurity activation process S11 wherein the impurity in semiconductors is activated; and

the process S12 wherein the source / drain electrodes are formed.

[0012]

Fig. 9 and Fig. 10 show the cross-sectional diagram of TFT manufactured according to this process flow. The TFTs of both Fig. 9 and Fig. 10 are co-planer type, and are top gate type that gate electrodes are upwards rather than semiconductor layers.

[0013]

In Fig. 9 and Fig. 10, 101 and 201 denote a substrate; 102 and 202, a base film; 103 and 203, a semiconductor layer comprising a polycrystal silicon film; 104 and 204, a gate insulating film. In semiconductor layers 103 and 201, 105 and 205 denote a channel forming region; 106 and 206, a source region; 107 and 207, a drain region. The two regions 108 and 109, 208 and 209 contiguous to channel forming regions 105 and 205 are high resistance regions. These high resistance regions have resistivity higher than source / drain regions, and have the function to prevent a current from leaking from TFT in the OFF state.

[0014]

Moreover, 110 and 210 denote a gate electrode; 111 and 211, an oxide film on anode; 112 and 212, an insulating interlayer; 113 and 213, a source electrode; 114 and 214, a drain electrode. In addition, the configuration of gate insulating films 104 and 204 differ in Fig. 9 and Fig. 10 because of a difference of the conditions of the process S10. Further, n-channel type TFT and p-channel type TFT are formed on the substrates -1 to -4, respectively.

[0015]

In order to investigate the factor that fluctuates S value, the conditions of the process S9 and S11 after the gate insulating film formation process S8 are changed suitably, TFT is manufactured on the substrate on four different conditions, and each S value is measured. Here, the substrates with different process conditions are will be distinguished as the substrate -1 and the substrate -2. Hereafter, according to the

process flow of Fig. 8, a method of manufacturing a TFT will be explained in detail. In addition, TFT with the structure shown in Fig. 9 is manufactured on the substrate -1 and the substrate -2, and TFT with the structure shown in Fig. 10 is manufactured on the substrate -3 and the substrate -4. Moreover, the difference in the structure of TFT is based on the process S10. When there is especially no notice, the same processing is performed to substrate -1 to -4.

[0016] (Substrate treatment process S1)

At first, 5 inches 1737 glass substrates (made by Corning, Inc.) are prepared as substrates 101 and 201. After the substrates 101 and 201 are washed with pure water, it is heat-treated at 640 degrees C, cooled to the room temperature over 4 hours, and washed with pure water again.

[0017] (Base film formation process S2)

Next, base films 201 and 202 are formed on substrates 101 and 201. As a base film, TEOS and oxygen (O₂) are used as a material gas, and a silicon oxide layer is deposited in thickness of 200 nm with plasma CVD equipment. The formation conditions are set to the substrate temperature of 400 degrees C, pressure 0.3 torr and RF output 300 W, and the quantity of gas flow is taken as TEOS 10 sccm and oxygen 50 sccm.

[0018] (Amorphous silicon film formation process S3)

Next, an amorphous silicon layer with a thickness of about 56 nm is deposited on the base films 101 and 201 by plasma CVD equipment by using silane (SiH₄) as a raw material. The formation conditions are set to the substrate temperature of 300 degrees C, pressure 0.5 torr, RF output 20 W, and the flow quantity of silane gas 100 sccm.

[0019] (Poly-crystal amorphous silicon film crystallization process S4)

KrF excimer laser (wavelength of 248 nm) is irradiated on the amorphous silicon film to polycrystallize. The laser radiation conditions are set to the atmospheric ambient, and the substrate temperature is set to the room temperature. Excimer laser light is fabricated into a line in the surface of irradiation by optical system. The scan speed of a line beam is set to 1.2 mm/sec, the irradiation energy density set to 355 mJ/cm² in the substrate -1 and -2, to 340 mJ/cm² in the substrate -3 and -4. When a line excimer laser beam is irradiated to an amorphous silicon film, the part is melted instantaneously, recrystallized in the solidifying process to converse to a polycrystal silicon film. Further, an amorphous silicon film is heated at the temperature of 500 degrees C for 60 minutes before laser radiation to carry out hydrogen appearance.

[0020] (UV oxidation-treatment process S5)

Ultraviolet rays are irradiated for 120 seconds in the state where ozone water is contacted on the surface of a polycrystal silicon film using a spin coater, and the surface of the polycrystal silicon film is oxidized very thinly. In this case, the substrate

temperature is 200 degrees C, and the high-pressure mercury lamp with a wavelength of 365 nm is used as an ultraviolet line light source.

[0021]

UV oxidation-treatment process S5 is to improve hydrophobia of a surface of silicon and to control pollution. Since a photoresist with sufficient adhesion can be formed in the following patterning process and the photoresist does not contact the surface of silicon directly by oxidizing the surface of polycrystal silicon film, the surface can be kept pure enough to lower the interface level with a gate insulating film. In addition, although the exact thickness of the oxidization coat formed here is unclear, the thickness is estimated to be about 1 to 3 nm.

[0022] (Polycrystal silicon film patterning process S6)

Then, a patterning mask which consists of the photoresist is formed on the polycrystal silicon film, the polycrystal silicon layer is patterned to an island shape by dry etching, and semiconductor layers 103 and 203 are formed respectively. CF_4 and oxygen are used for an etching gas at dry etching, the flow rates are set to CF_4 50 sccm and oxygen 45 sccm respectively, and substrate temperature is set to 400 degrees C.

[0023]

In order to clear the factor in change of S value, different conditions are given to the following processes S7, S9 and S10 according to a substrate. The process conditions of the substrate -1 to -4 are shown in Table 1.

[0024]

[Table 1]

Process		Substrate temperature	Substrate -1	Substrate -2	Substrate -3	Substrate -4
Gate insulating film formation pre-treatment process S7	UV oxidation S7-1	200 °C	×	×	×	○
	Oxide film elimination S7-2	Room temperature	○	○	○	○
Gate insulating film heat-treatment process S9		600 °C	×	×	○	×
Impurity activation process S11	Laser activation S11-1	150°C or room temperature	○	×	○	○
	Heat activation S11-2	450 °C	×	○	×	×

Gate insulating film formation process S8, Substrate temperature 400°C

[0025]

In Table 1, "○" mark shows that the corresponding process has been performed and "×" mark shows that the corresponding process has not been performed. Moreover, the substrate temperature of each process is also shown in Table 1.

[0026] (Gate insulating film formation pre-treatment process S7)

This process is to investigate the relation of a process before forming a gate insulating film and the change of S value, and consists of the UV oxidization process S7-1 and the oxide film elimination process S7-2. In substrates -1 to -3, only oxide film elimination process S7-3 is carried out, oxide films of the surfaces of the semiconductor layers 103 and 203 formed in the UV oxidization process S5 etc. are removed, and the pure surfaces of the semiconductor layers are exposed. In the oxide film elimination process S7-2, the etchant in which HF diluted to 50 % and H_2O_2 is mixed to 1:1 is used.

[0027]

In the substrate -4, the UV oxidization process S7-1 is carried out before the oxide film elimination process S7-2. UV oxidization process S 7-1 here is different from the previous UV oxidation-treatment process S5 only in the irradiation time of UV light, and the irradiation time is set to 180 seconds. And the oxide film elimination process S7-2 is performed in the same way as the substrates -1 to -3, the oxide film of the surface of the semiconductor layer 203 formed by the UV oxidization process S5 and S7-1, etc. is removed, and the pure surface of the semiconductor layer is exposed.

[0028] (Gate insulating film formation process S8)

Next, the insulating film to constitute a gate insulating film is formed. Using SiH_4 and N_2O for material gas, the nitrided oxide silicon film is formed by the plasma CVD equipment. The formation conditions are set to pressure 0.3 torr, the substrate temperature of 400 degrees C and RF output 100W, and the quantity of gas flow is taken as SiH_4 set 4 sccms and N_2O to 400 sccms. The thickness of the nitrided oxide silicon film is set to 120 nm in the substrates -1 and -2 and set to 150 nm in the substrates -3 and -4.

[0029] (Gate insulating film heat-treatment process S9)

This process is to investigate the influence of the heat-treatment after forming a gate insulating film on the S value, carried out only in the substrate -3. As the heating conditions, the inside of an electric furnace is set to the nitrogen ambient atmosphere, and heat-treated it by the substrate temperature (heating temperature) of 600 degrees C and heating-time 120 minutes.

[0030] (Gate electrode formation and impurity introduction process S10)

In this process S10, the processes differ in the substrates -1 and -2, and the substrate -3 and -4. First, using Fig. 11, the process S10 for the substrates -1 and -2 is explained.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307781

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

H 0 1 L 29/786
21/336

識別記号

F I

H 0 1 L 29/78

6 1 7 V

6 1 6 A

6 1 9 A

6 2 7 G

審査請求 未請求 請求項の数9 F D (全 19 頁)

(21) 出願番号

特願平10-129489

(22) 出願日

平成10年(1998)4月23日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 中嶋 節男

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 早川 昌彦

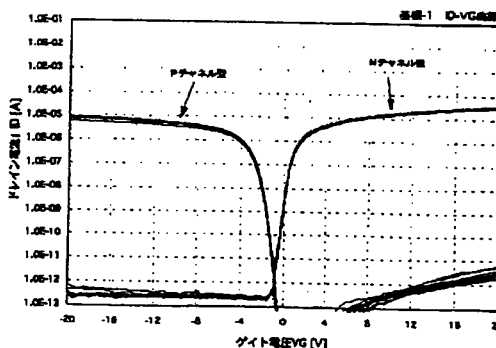
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【課題】 600℃以下のプロセス温度であっても、薄膜トランジスタのS値を0.1~0.4V/decadeとする。

【解決手段】 多結晶シリコン膜でなる半導体層を形成し、半導体層上にゲート絶縁膜を形成する。ゲート絶縁膜を形成工程以降の工程では、ゲート絶縁膜をその成膜温度以上に加熱しないようにする。これによって、半導体層とゲート絶縁膜界面に応力が集中することが無くなり、界面準位が増加することが防げるため、薄膜トランジスタのS値を0.1~0.4V/decadeとすることができる。



【特許請求の範囲】

【請求項1】 チャネル形成領域、ソース領域、ドレイン領域を有する半導体層と、該半導体層に密接するゲート絶縁膜とを有し、前記半導体層に結晶性半導体薄膜を用いた薄膜トランジスタの製造方法であって、前記ゲート絶縁膜に用いられる絶縁被膜を成膜する工程以降において、前記絶縁被膜の温度は前記絶縁被膜の成膜温度よりも低いことを特徴とする薄膜トランジスタの製造方法。

【請求項2】 チャネル形成領域、ソース領域、ドレイン領域を有する半導体層と、該半導体層に密接するゲート絶縁膜とを有し、前記半導体層に結晶性半導体薄膜を用いた薄膜トランジスタの製造方法であって、絶縁表面上に非晶質半導体薄膜を形成する工程と、前記非晶質半導体薄膜を結晶化して結晶性半導体薄膜を形成する工程と、前記結晶性半導体薄膜をパターンニングして前記半導体層を形成する工程と、前記ゲート絶縁膜に用いられる絶縁被膜を前記半導体層に密接して形成する工程と、前記絶縁膜に密接するゲート電極を形成する工程と、前記半導体層に導電型を付与する不純物元素を導入して前記ソース領域、ドレイン領域を形成する工程と、前記半導体層中の前記不純物元素を活性化する工程と、を有し、前記絶縁膜形成工程以降の工程において、前記絶縁膜の成膜温度よりも前記絶縁膜の温度を低くすることを特徴とする薄膜トランジスタの製造方法。

【請求項3】 請求項2において、前記結晶性半導体薄膜の形成工程において、前記非晶質半導体薄膜にエキシマレーザを照射して結晶化させることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項2又は3において、前記活性化工程は、エキシマレーザを照射して前記不純物を活性化させることを特徴とする薄膜トランジスタの製造方法。

【請求項5】 請求項2乃至4のいずれか1項に記載の製造方法で形成された薄膜トランジスタであって、サブスレッショルド係数が0.1～0.4V/decadeであることを特徴とする薄膜トランジスタ。

【請求項6】 チャネル形成領域、ソース領域、ドレイン領域を有する半導体層と、該半導体層に密接するゲート絶縁膜とを有し、前記半導体層に多結晶シリコン膜を用いた薄膜トランジスタの製造方法であって、絶縁表面上に非晶質シリコン膜を形成する工程と、シリコンの結晶化を助長する触媒元素を前記非晶質シリコン膜に添加する工程と、前記非晶質シリコン膜を結晶化して多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜に選択的に15族元素を添加してゲッタリング領域を形成する工程と、

前記ゲッタリング領域に前記多結晶シリコン膜内の前記触媒元素ゲッタリングさせる工程と、前記多結晶シリコン膜をパターンニングして前記半導体層を形成する工程と、前記ゲート絶縁膜に用いられる絶縁被膜を前記半導体層に密接して形成する工程と、前記絶縁膜に密接するゲート電極を形成する工程と、前記半導体層に導電型を付与する不純物元素を導入して前記ソース領域、ドレイン領域を形成する工程と、前記半導体層中の前記不純物元素を活性化する工程と、を有し、前記絶縁膜形成工程以降の工程において、前記絶縁膜の成膜温度よりも前記絶縁膜の温度を低くすることを特徴とする薄膜トランジスタの製造方法。

【請求項7】 請求項6に記載の製造方法で形成された薄膜トランジスタであって、サブスレッショルド係数が0.1～0.3V/decadeであることを特徴とする薄膜トランジスタ。

【請求項8】 チャネル形成領域、ソース領域、ドレイン領域を有する半導体層と、該半導体層に密接するゲート絶縁膜とを有し、前記半導体層に結晶性半導体薄膜を用いた半導体装置において、サブスレッショルド係数が0.1～0.4V/decadeであることを特徴とする薄膜トランジスタ。

【請求項9】 請求項8に記載の薄膜トランジスタを有することを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多結晶シリコンを代表とする結晶性半導体薄膜からなる半導体層を有する薄膜トランジスタ、および薄膜トランジスタの製造方法に関するものである。また本発明の薄膜トランジスタはアクティブマトリクス型液晶表示装置やイメージセンサ等の電気機器のマトリクス回路のスイッチング素子や、ドライバー回路を構成する素子に利用されるものである。

【0002】

【従来の技術】近年、液晶パネルの分野において、多結晶シリコンを用いた薄膜トランジスタ（以下、ポリシリコンTFTと記す）の製造技術の進歩は著しく、耐熱温度600℃前後のガラス基板上にポリシリコンTFTを製造するという、いわゆる低温プロセスが確立されつつある。現在、ガラス基板上にポリシリコンTFTを集積化したアクティブマトリクス型の液晶表示装置が製品化され、ノート型パソコンや携帯型情報機器の高精細ディスプレイとして大きな市場を形成している。

【0003】ポリシリコンTFTに用いられる多結晶シリコン膜を形成するには、一般に非晶質シリコン膜を成膜し、これを結晶化する手法が採られている。結晶化方

法には、RTA（ラピッド・サーマル・アニール）法やArレーザ等の連続発振レーザ光を照射する方法のように固相成長方法や、エキシマレーザに代表される400nm程度の短波長パルス発振レーザを照射して、非晶質シリコン膜を溶融して結晶化させるという液相成長方法が知られており、これらの方法を用いることにより、ガラス基板のように600℃前後の耐熱温度のガラス基板上に多結晶シリコン膜を形成することが可能になった。よってガラス基板の利用が可能になり、製品の大面積化、低価格化が促進されている。

【0004】

【発明が解決しようとする課題】しかしながら、600℃以下という低温プロセスで製造されたポリシリコンTFTには、特性の改善の余地がある。その1つとしてサブスレッショルド特性が挙げられる。サブスレッショルド特性は薄膜トランジスタ等のスイッチング素子の性能を決定する大きな要素であり、サブスレッショルド特性が良好であれば、高速、低消費で動作させることができる。

【0005】サブスレッショルド特性を評価する定数としてサブスレッショルド係数（ここではS値と記す）が利用されている。S値はドレイン電流が1桁変化するのに必要なゲート電圧の変化分として定義されている。理論式から導かれるS値の理想値は0.06V/decadeであり、これまで単結晶ウェハを用いたTFTではこれに近い値が得られているが、従来の低温プロセスで製造されたポリシリコンTFTのS値は0.4～0.5V/decadeが限度である。

【0006】本発明は、上記の問題を解消して、600℃程度以下の低温プロセスであっても、薄膜トランジスタのサブスレッショルド係数を0.4V/decade以下とした薄膜トランジスタおよびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上述した課題を解決するために、本発明の薄膜トランジスタの製造方法は、チャネル形成領域、ソース領域、ドレイン領域を有する半導体層と、該半導体層に密接するゲート絶縁膜とを有し、前記半導体層に結晶性半導体薄膜を用いた薄膜トランジスタの製造方法であって、前記ゲート絶縁膜に用いられる絶縁被膜を成膜する工程以降において、前記絶縁被膜の温度は前記絶縁被膜の成膜温度よりも低いことを特徴とする。

【0008】ゲート絶縁膜を構成する絶縁被膜を成膜した後、それ以降の工程では、絶縁被膜をその成膜温度以上に加熱しないようにすることが、本発明の重要なポイントとなる。本発明により、ゲート絶縁膜と半導体層との界面に応力（ストレス）が集中することがなくなり、界面準位の増加が防げるため、TFTのS値が0.1～0.4V/decade、代表的には0.2～0.3V/decadeと

することができる。

【0009】

【発明の実施の形態】 図1～図15及び表1～5を用いて本発明の実施の形態を説明する。

【0010】〔実施形態1〕本発明者らはTFTのS値（サブスレッショルド係数）を悪化させる要因を調べるために、4つの異なる工程条件でTFTを作製して、それぞれのTFTのS値を測定した。図8はTFTの製造工程を示す工程フロー図である。

【0011】図8に示すように、TFTの工程フローは、基板を洗浄、熱処理する基板処理工程S1、基板からの不純物拡散を防止するための下地膜を形成する下地膜形成工程S2、下地膜上に非晶質シリコン膜を形成する工程S3、非晶質シリコン膜を多結晶化する結晶化工程S4、得られた多結晶シリコン膜表面を改質するためのUV酸化処理工程S5、多結晶シリコン膜をパターニングして半導体層を形成するパターニング工程S6、UV光照射により半導体層の表面酸化するゲート絶縁膜成膜前処理工程S7、ゲート絶縁膜（絶縁被膜）成膜工程S8、ゲート絶縁膜熱処理工程S9、セルフアライン方式を利用したゲート電極形成・不純物導入工程S10、半導体層中の不純物を活性化する不純物活性化工程S11、ソース／ドレイン電極形成工程S12でなる。

【0012】図9、図10はこの工程フローに従って製造されたTFTの断面構成図を示す。図9、図10のTFTともコプラナ型であって、半導体層よりもゲート電極が上にあるトップゲート型のTFTである。

【0013】図9、図10において、101、201は基板であり、102、202は下地膜、103、203は多結晶シリコン膜でなる半導体層であり、104、204はゲート絶縁膜、である。半導体層103、201において、105、205はチャネル形成領域、106、206はソース領域、107、207はドレイン領域である。チャネル形成領域105、205に隣接する2つの領域108と109、208と209は高抵抗領域である。これら高抵抗領域はソース／ドレイン領域よりも抵抗率が高く、OFF状態でTFTから電流がリークするのを抑制する機能を有する。

【0014】また110、210はゲート電極であり、111、211は陽極酸化膜であり、112、212は層間絶縁膜であり、113、213はソース電極であり、114、214はドレイン電極である。なお、図9と図10においてゲート絶縁膜104と204の形状が異なるのは、工程S10の条件が異なることによる。また基板-1～-4にはそれぞれ、Nチャネル型TFTとPチャネル型TFTとを作製した。

【0015】S値を変動させる要因を調べるため、ゲート絶縁膜成膜工程S8以降の工程S9、S11の条件を適宜に変え、4つの異なる条件でTFTを基板上に製造し、それぞれのS値を測定した。ここでは工程条件の異なる基

板を基板-1、基板-2のように区別することにする。以下、図8の工程フローに従って、TFTの製造方法を詳細に説明する。なお、基板-1と基板-2には図9に示す構造のTFTを作製し、基板-3と基板-4には図10に示す構造のTFTを作製した。またTFTの構造の違いは工程S10によるものである。特に断りがない場合は、基板-1～4には同じ処理が施されている。

【0016】(基板前処理工程S1) 先ず、基板101、201として5インチの1737ガラス基板(コーニング社製)を用意した。そして、基板101、201を純水で洗浄した後、640℃で加熱処理し4時間かけて室温まで冷却し、再び純水で洗浄した。

【0017】(下地膜成膜工程S2) 次に、基板101、201上に下地膜201、202を形成する。下地膜として、TEOSと酸素(O₂)を原料ガスにし、プラズマCVD装置によって酸化シリコン膜を200nmの厚さに堆積した。成膜条件は基板温度400℃、圧力0.3torr、RF出力300Wとし、ガス流量はTEOS10sccm、酸素50sccmとした。

【0018】(非晶質シリコン膜成膜工程S3) 次に下地膜101、201上に、およそ56nmの厚さの非晶質シリコン膜をシラン(SiH₄)を原料にプラズマCVD装置によって堆積した。成膜条件は基板温度300℃、圧力0.5torr、RF出力20W、シランガス流量100sccmとした。

【0019】(非晶質シリコン膜結晶化工程S4) そして非晶質シリコン膜にKrFエキシマレーザ(波長248nm)を照射して多結晶化した。レーザ照射条件は大気雰囲気とし、基板温度は室温とした。エキシマレーザ光は被照射面で線状になるよう光学系によって成形した。線状ビームの走査速度を1.2mm/secにして照射エネルギー密度が基板-1と-2は355mJ/cm²にし、基板-3と-4は340mJ/cm²にした。非晶質シリコン膜に線状エ

キシマレーザビームが照射されると、その箇所が瞬時に熔融され、凝固する過程で再結晶化して、多結晶シリコン膜に変成される。なお、レーザ照射前に、非晶質シリコン膜を500℃の温度で60分加熱して、非晶質シリコン膜に水素出し処理を施した。

【0020】(UV酸化処理工程S5) スピンコータを用いて多結晶シリコン膜の表面にオゾン水を接触させた状態で紫外線を120秒間照射して、多結晶シリコン膜表面を極薄く酸化させた。この際、基板温度200℃とし、紫外線光源として波長365nmの高圧水銀ランプを用いた。

【0021】UV酸化処理工程S5はシリコン表面の疎水性の改善と汚染防止のためである。多結晶シリコン膜表面を酸化することにより、次のパターニング工程でフォトリソを密着性良く形成でき、またシリコン表面に直接にフォトリソが接触しないため、その表面を清浄に保つことができ、ゲート絶縁膜との界面準位を。なお、ここで形成される酸化被膜の正確な膜厚は不明であるが、1～3nm程度の厚さと考えられる。

【0022】(多結晶シリコン膜パターニング工程S6) そして多結晶シリコン膜上にフォトリソとなるパターニングマスクを形成し、ドライエッチングによって多結晶シリコン膜を島状にパターニングして、半導体層103、203をそれぞれ形成した。ドライエッチングにはエッチングガスにCF₄と酸素を用い、それぞれ流量をCF₄50sccm、酸素45sccmとし、基板温度は400℃とした。

【0023】S値の変動の要因を明らかにすべく、これ以降の工程S7、S9、S10では基板によって異なる条件を与えた。表1に基板-1～4の工程条件を示す。

【0024】

【表1】

工程		基板温度	基板-1	基板-2	基板-3	基板-4
ゲート絶縁膜成膜前工程S7	UV酸化S7-1	200℃	×	×	×	○
	酸化膜除去S7-2	室温	○	○	○	○
ゲート絶縁膜熱処理工程S9		600℃	×	×	○	×
不純物活性化工程S11	レーザ活性化S11-1	150℃又は室温	○	×	○	○
	熱活性化S11-2	450℃	×	○	×	×

ゲート絶縁膜成膜工程S8 基板温度400℃

【0025】表1において、「○」印は対応する工程を行ったことを示し、「×」印は対応する工程を行っていないことを示す。また表1には各工程の基板温度も示した。

【0026】(ゲート絶縁膜成膜前処理工程S7) この工程はゲート絶縁膜を成膜する前の工程と、S値の変化の関連を調べるものであり、UV酸化工程S7-1、酸化膜除去工程S7-2でなる。基板-1～3では酸化膜除去工程S7-3のみを実施し、UV酸化工程S5等において形成された半導体層103、203表面の酸化膜を除去し、清浄な

半導体層表面を露出させた。酸化膜除去工程S7-2には、50%に希釈されたHFとH₂O₂とを1:1に混合したエッチャントを用いた。

【0027】基板-4には、酸化膜除去工程S7-2前に、UV酸化工程S7-1を実施した。ここでのUV酸化工程S7-1は先のUV酸化処理工程S5とはUV光の照射時間だけ異なり、照射時間を180秒とした。そして、基板-1～3と同様に酸化膜除去工程S7-2を行い、UV酸化工程S5やS7-1等で形成された半導体層203表面の酸化膜を除去し、清浄な半導体層表面を露出させた。

【0028】（ゲート絶縁膜成膜工程S8） 次にゲート絶縁膜を構成する絶縁被膜を成膜した。プラズマCVD装置を用い、原料ガスに SiH_4 、 N_2O を用いて窒化酸化シリコン膜を形成した。成膜条件は、圧力0.3torr、基板温度400℃、RF出力100W、原料ガス流量は SiH_4 は4sccm、 N_2O は400sccmとした。窒化酸化シリコン膜の膜厚は基板-1と-2は120nmとし、基板-3と-4では150nmとした。

【0029】（ゲート絶縁膜熱処理工程S9） この工程はゲート絶縁膜成膜後の加熱処理がS値に及す影響を調べるための工程であり、基板-3のみ実施した。加熱条件は、電気炉内を窒素雰囲気とし、基板温度（加熱温度）600℃、加熱時間120分で加熱処理した。

【0030】（ゲート電極形成・不純物導入工程S10）

この工程S10では基板-1、-2と基板-3、-4では処理が異なる。先ず図11を用いて基板-1、-2に対する工程S10を説明する。

【0031】図11において、図9と同じ符号は同じ構成要素を示す。図11（A）において、301は工程S8において形成された窒化酸化シリコン膜でなる絶縁被膜である。先ず、絶縁被膜301上にゲート電極を構成するアルミニウム膜（Scを0.18重量%添加した）をスパッタ装置によって400nmの厚さに成膜した。そして、このアルミニウム膜表面を陽極酸化して図示しない陽極酸化膜を形成した。

【0032】この陽極酸化工程では、3重量%の酒石酸を含むエチレングリコール溶液中で、アルミニウム膜を陽極に、白金を陰極にして、この電極間に10Vの電圧を印加した。この工程で形成される陽極酸化膜は1nm程度であって、後に形成されるフォトレジストの密着性を向上させることを目的とする。陽極酸化工程終了後、パターンニングのためのフォトレジストマスク302を形成し、アルミニウム膜をウエットエッチングによってパターンニングして、アルミニウムでなるパターン303を得た。

【0033】次に、陽極酸化工程を再び行い、図11

（B）に示すようにパターン303の側面に陽極酸化膜304を形成する。この陽極酸化工程は電界溶液中として、3重量%のシュウ酸溶液を用い、上記の陽極と陰極間の電圧を8Vとした。この陽極酸化工程では、フォトレジストマスク303が存在しているため、露出しているアルミニウムでなるパターン303の側面が選択的に酸化されて、多孔質の陽極酸化膜304が形成される。

【0034】フォトレジストマスク303を除去した後、図11（C）に示すように、上記の3重量%酒石酸を含有するエチレングリコール溶液を電解溶液に用いた陽極酸化工程を再び行い、緻密な膜質を有するバリア型陽極酸化膜111を形成する。以上の3回の陽極酸化工程で陽極酸化されなかったパターン303がゲート電極110を構成する。この陽極工程では、多孔質の陽極

化膜304中に電解溶液が侵入するためにパターン303の表面が酸化され、ゲート電極111（パターン303）が陽極酸化膜111に被覆された構成を得た。

【0035】次に、図11（D）に示すように、陽極酸化膜304と111、ゲート電極110をマスクにして、窒化酸化シリコン膜でなる絶縁被膜301をパターンニングした。パターンニングされた絶縁被膜104がゲート絶縁膜として機能する。

【0036】図11（E）に示すように、磷酸、酢酸、硝酸を混合した酸を用いて、多孔質の陽極酸化膜304をウエットエッチングして除去した。そして、ソース領域105、ドレイン領域106を形成するために、半導体層103に不純物を導入した。先ず、イオンドーピング装置によって、N型の導電型を付与するリン（P）を2回のドーピング工程によって導入した。ドーピングガスには水素（ H_2 ）で5%に希釈した PH_3 を使用した。1回目のドーピング条件は加速電圧90kV、RF出力5W、設定ドーズ量は $1.2 \times 10^{13} \text{ ions/cm}^2$ とした。2回目のドーピング条件は加速電圧10kV、RF出力20W、設定ドーズ量は $5 \times 10^{14} \text{ ions/cm}^2$ とした。

【0037】Nチャネル型TFTの半導体層103において、その上にゲート電極110と陽極酸化膜111が存在する領域105は2回のドーピング工程でもリンイオンが添加されず、チャネル形成領域となる。またゲート絶縁膜104が存在していない2つの領域106と107は、2度のドーピングともリンイオンが添加され、ソース領域、ドレイン領域となる。残りの2つの領域108と109は2度目のドーピング工程において加速電圧が低いため、ゲート絶縁膜104がマスクとして機能して、ソース/ドレイン領域106、107よりもリン濃度が低く、高抵抗領域となる。

【0038】次に、Nチャネル型TFTとなる半導体層をフォトレジストで被覆し、残りの半導体層にP型の導電型を付与するボロン（B）を2回のイオンドーピング工程によって導入した。ドーピングガスには水素（ H_2 ）で5%に希釈した B_2H_6 を使用した。1回目のドーピング条件は加速電圧70kV、RF出力5W、設定ドーズ量は $2 \times 10^{14} \text{ ions/cm}^2$ とした。2回目のドーピング条件は加速電圧10kV、RF出力20W、設定ドーズ量は $1.3 \times 10^{14} \text{ ions/cm}^2$ とした。

【0039】ボロンイオンのドーピング工程によって、Pチャネル型TFTを構成する半導体層103のソース/ドレイン領域106、107及び高抵抗領域108、109の導電型はP型に反転される。リンイオンのドーピング時と同様に、ゲート絶縁膜104、ゲート電極110、陽極酸化膜111がマスクとして機能するため、高抵抗領域108と109のボロンの濃度はソース/ドレイン領域106、107よりも低くなっている。

【0040】以上により、基板-1と-2に対するゲート電

極形成・不純物導入工程S10が終了する。以下に、図12を用いて基板-3と-4に対する工程S10を説明する。なお、図12において図10と同じ符号は同じ構成要素を示す。

【0041】まず、基板-1と-2と同じ条件で、アルミニウム膜の成膜工程、陽極酸化工程等を実施して図11(C)に示す構成を得た。図12(A)は図11(C)に対応する。図12(A)において204は工程S8で成膜された窒化酸化シリコン膜でなるゲート絶縁膜であり、304'は2度目の陽極酸化膜で形成された多孔質の陽極酸化膜である。211は3度目の陽極酸化工程で形成されたバリア型陽極酸化膜211であり、210は3度の陽極酸化工程で残存したアルミニウムのパターンであり、ゲート電極を構成する。なお基板-3と-4において、ゲート電極210を構成するアルミニウム膜は300nmの厚さに成膜した。

【0042】次に、図12(B)に示すように、多孔質の陽極酸化膜304'が存在する状態で、N型の導電型を付与するリンをイオンドーピングによって、半導体層203に導入した。ドーピングガスには水素(H₂)で5%に希釈したPH₃を使用した。このドーピングにおいて、陽極酸化膜304'、211、ゲート電極210がマスクとして機能し、半導体層203にN型の不純物領域311、312が形成される。領域313はリンが導入されなかった領域を示す。

【0043】次に、ウェットエッチングによって陽極酸化膜304'を除去する。そして、Pチャネル型TFTを構成する半導体層203をフォトレジストで被覆した。この状態でリン(P)を再びイオンドーピングする。ドーピング条件は加速電圧80kV、RF出力5W、設定ドーズ量は 1×10^{15} ions/cm²とした。

【0044】図12(C)に示すように、Nチャネル型TFTの半導体層203において、その上にゲート電極210と陽極酸化膜211が存在する領域205は2回のドーピング工程ともリンイオンが添加されず、チャネル形成領域となる。また不純物領域206と207には2度のドーピングともリンイオンが導入されるため、半導体層においてリンの濃度が最も高いソース領域、ドレイン領域となる。残りの2つの領域208と209は2度目のドーピング工程でのみリンイオンが導入されるため、ソース/ドレイン領域206、207よりもリン濃度が低く、高抵抗領域となる。

【0045】次にPチャネル型TFTの半導体層203にボロンを導入する。まずPチャネル型TFTの半導体層203を覆っていたフォトレジストを除去する。この時のPチャネル型TFTの半導体層203は図12

(B)において、陽極酸化膜304'が除去された状態に相当する。そして新たにNチャネル型TFTの半導体層203と覆うフォトレジストを形成した。またPチャネル型TFTの半導体層203にもに対して、陽極酸化

膜304'と同じ領域(311、312)をマスクするフォトレジストを形成した。

【0046】この状態で、イオンドーピング法によりボロンを導入した。ドーピングガスには水素(H₂)で5%に希釈したB₂H₆を使用した。ドーピング条件は加速電圧65kV、RF出力20W、設定ドーズ量は 2×10^{15} ions/cm²とした。このドーピングによりN型の不純物領域311、312の導電型がP型に反転されて、0Nチャネル型TFTの半導体層203にP型のソース領域206、207が形成された。また上記のフォトレジスト、ゲート電極210、陽極酸化膜211によって遮蔽された領域にはボロンが導入されない。ゲート電極210で覆われた領域205はチャネル形成領域となり、残りの領域208と209は導電型を付与する不純物が導入されなかったため、高抵抗領域(オフセット領域)として機能する。

【0047】(不純物活性化工程S11) 次に、S10で半導体層103、203に導入された不純物(リン、ボロン)を活性化する。この工程もゲート絶縁膜成膜後の加熱処理の影響を調べるため、レーザ活性化工程S11-1と熱活性化工程S11-2の2つの方法を用いて、S値の変動を比較できるようにした。基板-1と基板-3と-4にはレーザ活性化工程S11-1を行ない、基板-2は熱活性化工程S11-2を行った。

【0048】レーザ活性化工程S11-1では、レーザ光源にはKrFエキシマレーザ(波長248nm)を用い、エキシマレーザ光が被照射面で線状になるよう光学系によって成形した。条件は、基板-1では、基板温度を150℃、大気雰囲気とした。そして線状ビームの走査速度を2.2mm/secにしてレーザのエネルギー密度を160mJ/cm²とした。基板-3と-4では、基板温度を室温、大気雰囲気とした。そして線状ビームの走査速度を2.6mm/secにして、照射エネルギー密度204mJ/cm²とした。

【0049】他方、熱活性化工程S11-2では、基板-2に対して窒素雰囲気中で基板温度600℃で120分加熱した。

【0050】(層間絶縁膜工程S12) 基板-1～基板-4において層間絶縁膜112、212をそれぞれ形成した。基板-1と基板-2においては、層間絶縁膜112として、窒化シリコン膜と酸化シリコン膜との2層の絶縁膜を成膜した。まずプラズマCVD装置において、基板温度325℃、圧力0.7torr、RF出力300Wとし、原料ガスにSiH₄(流量5sccm)、NH₃(流量38sccm)、N₂(流量87sccm)を用い、窒化シリコン膜を25nmの厚さに成膜した。次に、基板温度300℃、圧力1.05torr、RF出力200Wとし、原料ガスTEOS(流量35sccm)、O₂(流量500sccm)を用い、酸化シリコン膜を900nmの厚さに成膜した。

【0051】他方、基板-3、-4の層間絶縁膜には窒化シリコン膜を1層成膜した。成膜条件は、プラズマCVD

装置において、基板温度325℃、圧力0.7 torr、RF出力300Wとし、原料ガスにSiH₄ (流量10 sccm)、NH₃ (流量50 sccm)、N₂ (流量33 sccm)を用い、窒化シリコン膜を540 nmの厚さに成膜した。

【0052】(ソース/ドレイン電極形成工程S12)

まず、層間絶縁膜112、212にコンタクトホールを開孔した。そしてソース/ドレイン電極を構成する導電膜として、厚さ50 nmのチタン(Ti)膜、厚さ400 nmアルミニウム(Al)膜でなる積層膜をスパッタ装置で連続成膜した。なおアルミニウム膜にはシリコン(Si)を2重量%添加した。そして、チタン膜/アルミニウム膜でなる積層膜をパターンニングして、ソース電極113、213とドレイン電極114、214をそれぞれ形成した。

【0053】最後に、水素雰囲気で基板温度300℃で120分加熱して、水素化処理を行った。水素化処理によって、半導体層103、203中の欠陥や不対結合手が電気的に中和される。以上の工程S1~S12を経て基板-1~4上に、図9又は図10に示す構造を有するNチャネル型TFTとPチャネル型TFTを作製した。そして作製されたTFTのS値等の電気的特性を16の測定点で測定した。基板-1、-2においてTFTのチャネル長は6.0 μmであり、チャネル幅は8.0 μmであり、基板-3~5のチャネル長の実測値は6.2 μmであり、チャネル幅の実測値は8.8 μmであった。

【0054】図1、図2には基板-1~4のTFTのS値の分散表を示す。図1はNチャネル型TFTの値であり、図2はPチャネル型TFTの値を示す。また、図3~図7には基板-1~4のドレイン電流ID-ゲート電圧VG曲線を示す。なお図3~図7においてNチャネルTFTのID-VG曲線はドレイン電圧1Vの場合であり、Pチャネル型TFTのID-VG曲線はドレイン電圧-1Vの場合である。また図1、図2のS値は図3~6のID-VG曲線から得られたデータである。

【0055】図1~図6に示したデータを見ると、基板-1及び基板-4については、ID-VG曲線の立上がり方が急峻で、そのS値は0.1~0.4 V/decadeの範囲に分布し、その多くが0.2~0.3 V/decadeの範囲分布しており、サブスレッショルド特性が優れていることがわかる。他方、基板-2、-3ではID-VG曲線のサブスレッショルドの傾きが緩やかになり、S値は0.4~0.6 V/decadeに分布している。表1に示した工程条件と、S値の測定結果に基づくと、S値はゲート絶縁膜成膜工程以降の熱処理に大きく影響されると考えられる。以下に、熱処理の影響を考察する。

【0056】ゲート絶縁膜成膜工程S8以降に、ゲート絶縁膜(ゲート絶縁膜を構成する絶縁被膜を含む)に熱処理を加えていない基板-1を参照データとすると、工程S8以降にゲート絶縁膜に熱処理を加えた基板-2と基板-3(表1参照)ではS値が増加していることが分かる。こ

のことから、S値を増加させる原因にゲート絶縁膜もしくは半導体層(多結晶シリコン膜)中のトラップ密度の増加、ゲート絶縁膜-半導体層の界面準位の増加が考えられる。

【0057】一般にシリコンウェハに作製されたMOSトランジスタでは、ゲート絶縁膜の熱処理温度を上げると、シリコン-ゲート絶縁膜界面のトラップ密度が低減する傾向にあつて、サブスレッショルド特性が改善される。しかしながら、基板-2や基板-3の測定結果と異なる。よって基板-2や基板-3のS値の増加の原因は、ゲート絶縁膜内のトラップ密度の増加によるものではないと考えられる。

【0058】他方、非晶質シリコン膜を結晶化した多結晶シリコン膜に関しても、ゲート絶縁膜と同様の傾向があるという知見を本発明者らは得ており、ESR(電子スピン共鳴)による評価では熱処理温度を上げると、スピン密度が低下することを確認している。このことは熱処理によって、半導体層(多結晶シリコン膜)内のトラップ密度が低減することを示している。

【0059】以上の知見から、基板-2や基板-3のS値の増加は、ゲート絶縁膜、半導体層(多結晶シリコン膜)どちらのバルク内の欠陥に起因するものではなく、ゲート絶縁膜-半導体層の界面準位の増加による現象であると想定できる。そして熱処理による界面準位の増加の機構として、ゲート絶縁膜-半導体層界面へのストレスの集中であると予想される。

【0060】S値の増加の過程をモデル化すると次のようになると考えられる。ゲート絶縁膜(ゲート絶縁膜を構成する絶縁被膜を含む)を成膜した後に、加熱処理をすると、ゲート絶縁膜と半導体層(多結晶シリコン膜)との熱膨張率が異なることによって、ゲート絶縁膜-半導体層界面にストレスが発生する。このストレスによって界面での多結晶シリコンの結合ボンドが切断されて界面準位が増加し、その結果S値が増加する。

【0061】一方で、基板-2、基板-3ではゲート絶縁膜成膜工程S7以後に、基板温度600℃で加熱処理している。半導体層(多結晶シリコン膜)内の未結合ボンドを終端化している水素は350~400℃前後の温度で抜けてしまう。そのため、多結晶シリコン膜の水素が抜けたことによる欠陥の増大とも考えられる。しかしながら、600℃の加熱処理の後、水素化処理を実施しても、S値を改善することができなかったことから、S値の増加は水素化処理でも終端化されない界面に発生した切断された結合ボンドによるものと思われる。

【0062】以上の考察から、S値を増加させないためには、ゲート絶縁膜を構成する絶縁被膜を成膜した後、絶縁被膜-半導体層界面にストレスを与えないことが重要となる。従ってゲート絶縁膜を成膜した後は、その絶縁被膜を成膜した温度よりも高い温度で加熱することを避ける必要がある。

【0063】TFT製造工程中に、ゲート絶縁膜に用いられる絶縁被膜の温度のモニタは基板温度をモニタすることが容易である。本発明では、この絶縁被膜の成膜以後の工程の基板温度は、絶縁被膜成膜時の基板温度を越えないようにすればよい。一般にゲート絶縁膜に用いられる絶縁被膜には、酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜が成膜されている。

【0064】一般に、これらの絶縁膜の成膜にはプラズマCVD法が広く用いられ、ゲート絶縁膜として良好な膜質を得るには、プラズマCVD法での成膜時の基板温度は300℃以上とすることが望まれ、通常、基板温度は300～600℃程度とされる。よって、本発明の製造方法では絶縁被膜成膜工程S10以後は少なくとも、基板温度が600℃を越えないようにすることが重要である。また、基板温度の下限はストレスを発生させなければ良いため制限されないが、意図的な加熱処理を行わないという生産性の観点から、室温が1つの目安となる。

【0065】絶縁被膜成膜工程S10以後に、絶縁被膜成膜時よりも基板温度が越えるような工程は、TFTの製造工程の最高温度を決定するような工程であって、不純物の活性化工程S11、ゲート絶縁膜に対する電気炉内での加熱処理工程S9があげられる。活性化工程S11に関しては、基板-1と-2のS値を比較すれば、処理時間が短いため、ゲート絶縁膜に及ぼす熱的影響が小さいレーザ活性化S11-1が、熱活性化処理S11-2よりも好ましいことは明らかである。基板-3のS値のデータからはゲート絶縁膜の加熱処理工程S9はストレスに起因するS値の増加を引き起こしている可能性があると考えられ、実施しないほうが好ましい。熱処理工程S9を省略することで、工程の簡略化がされるという効果も得る。

【0066】また、レーザ活性化は光照射によって不純物を活性化するものであるが、光源としてガラスに殆ど吸収されない紫外領域の波長光を発するエキシマレーザ光を用いるのが好ましい。これはガラスを急激に加熱してしまうと、基板が反ってしまいストレスが発生してしまうからである。

【0067】ここでは、ゲート絶縁膜成膜工程以降の工程がゲート絶縁膜-半導体層界面に及ぼす影響を考察した

が、ゲート絶縁膜成膜工程以前の工程でも界面準位を増加させないようにすることが重要である。例えば、工程S7において、基板-1において酸化膜除去工程S7-3を行わなかった場合には、S値が0.4～0.6V/decadeまで増加してしまった。

【0068】ゲート絶縁膜を構成する絶縁被膜を成膜する前では、UV酸化工程S6やS7-1のように多結晶シリコン膜表面を意図的に酸化する工程以外にも、その表面に自然酸化膜が形成される。このような自然酸化膜はゲート絶縁膜-半導体層界面特性を悪化させる要因となる。ゲート絶縁膜成膜工程前の酸化膜除去工程S7-3は意図的に形成した酸化膜だけでなく、自然酸化膜を除去する点で有効である。

【0069】以上、基板-1～4のS値のデータから得られた知見をまとめると、サブスレッショルド特性の良いTFTを得るには、ゲート電極-半導体層界面にストレスが集中しないようにすることが重要になる。そのために、ゲート絶縁膜に用いられる絶縁被膜を成膜する工程以降において、絶縁被膜の温度を前記絶縁被膜の成膜温度よりも低くなるようにする。さらにゲート絶縁膜を成膜する前に半導体層が存在するようなアップゲート型のTFTの場合には、ゲート絶縁膜に用いられる絶縁被膜を成膜する前に、半導体層表面を意図的に酸化した酸化膜や、自然酸化膜を除去する工程を実施することが有効である。

【0070】以下、表2～表5にサブスレッショルド特性が良好であった基板-1及び基板-4のNチャネル型TFT及びPチャネル型TFTの電気特性の実測値を示す。表2～表5にの実測値は16の測定点として16のTFTを選んで測定した値であり、表2～表5中のVDはドレイン電圧を、VGはゲート電圧を表しており、その値を得たときのドレイン電圧およびゲート電圧の値を示している。また、表2～表5のS値(S#Value)は図3及び図6のID-VG曲線の立上がり部分における曲線の傾きの逆数に相当する。

【0071】

【表2】

基板-1 Nチャネル型TFT

測定点	S-value_1 [V/dec] (VD=1 V)	Vth[V] (VD=14 V)	Ion_1[μ A] (VD=1 V) (VG=10 V)	Ion_2[μ A] (VD=14 V) (VG=10 V)	Ioff_1[pA] (VD=1 V) (VG=17.5 V)	Ioff_2[pA] (VD=14 V) (VG=4.5 V)	Ion/Ioff_1	Ion/Ioff_2	μ FE_1[cm ² /Vs] (VD=1 V) (VG=14 V)	μ FE_1[cm ² /Vs] (VD=1 V) (max)
1	0.232	0.72	15.213	114.620	0.28	1.02	7.767	8.051	63.450	63.9
2	0.226	0.70	14.686	108.000	0.25	0.83	7.769	8.114	60.345	60.8
3	0.235	0.71	14.048	104.550	0.28	0.94	7.700	8.046	58.252	59.3
4	0.236	0.69	14.084	107.730	0.25	0.95	7.750	8.055	58.388	59.5
5	0.224	0.63	15.715	117.450	0.23	1.02	7.835	8.061	63.180	63.8
6	0.227	0.70	14.635	108.110	0.28	3.69	7.718	7.467	59.602	60.3
7	0.234	0.70	15.604	117.400	0.25	0.90	7.795	8.115	62.640	63.5
8	0.228	0.55	17.091	128.880	0.23	0.75	7.871	8.235	67.635	68.2
9	0.232	0.64	15.303	119.390	0.39	1.04	7.594	8.060	62.505	63.2
10	0.236	0.82	14.160	104.690	0.24	1.06	7.771	7.995	58.995	59.9
11	0.220	0.68	15.339	114.150	0.27	1.13	7.754	8.004	62.235	62.6
12	0.231	0.65	14.012	109.000	0.25	0.95	7.749	8.060	56.362	56.8
13	0.227	0.83	15.016	111.450	0.44	1.11	7.533	8.002	62.842	64.1
14	0.235	0.82	13.630	103.390	0.27	1.00	7.703	8.014	57.105	58.3
15	0.225	0.75	14.632	108.560	0.22	1.20	7.823	7.956	60.345	61.4
16	0.235	0.82	13.814	103.400	0.22	1.05	7.798	7.993	58.725	60.0

【0072】

【表3】

基板-1 Pチャネル型TFT

測定点	S-value_1 [V/dec] (VD=1 V)	Vth[V] (VD=14 V)	Ion_1[μ A] (VD=1 V) (VG=10 V)	Ion_2[μ A] (VD=14 V) (VG=10 V)	Ioff_1[pA] (VD=1 V) (VG=17.5 V)	Ioff_2[pA] (VD=14 V) (VG=4.5 V)	Ion/Ioff_1	Ion/Ioff_2	μ FE_1[cm ² /Vs] (VD=1 V) (VG=14 V)	μ FE_1[cm ² /Vs] (VD=1 V) (max)
1	0.227	-1.95	5.260	32.398	3.71	2.89	6.152	7.050	12.7	32.4
2	0.211	-2.02	5.328	32.350	1.51	3.30	6.548	6.991	13.6	32.5
3	0.192	-2.10	5.268	31.272	1.97	2.38	6.427	7.119	13.7	31.6
4	0.248	-2.14	5.332	31.088	1.85	2.67	6.460	7.066	14.1	31.9
5	0.250	-1.92	5.564	34.146	1.90	3.04	6.467	7.050	14.2	33.3
6	0.214	-2.02	5.449	33.008	1.27	2.85	6.633	7.064	13.7	33.0
7	0.242	-1.95	5.437	33.997	1.46	3.15	6.571	7.033	13.2	33.9
8	0.241	-1.87	5.487	35.566	3.61	2.55	6.182	7.144	12.7	34.2
9	0.259	-2.61	3.826	24.628	2.03	4.29	6.275	6.759	8.5	25.1
10	0.270	-2.09	4.672	29.986	2.12	3.97	6.343	6.878	11.2	30.5
11	0.185	-1.96	4.653	31.041	2.38	3.47	6.291	6.952	10.6	30.5
12	0.197	-1.98	4.619	29.101	1.54	3.15	6.477	6.966	10.3	29.8
13	0.235	-1.83	5.264	34.974	1.95	3.40	6.431	7.012	11.6	33.9
14	0.274	-2.01	5.009	30.660	1.62	2.64	6.490	7.065	12.3	31.7
15	0.251	-1.92	5.141	32.794	2.59	2.80	6.298	7.069	11.8	32.3
16	0.252	-2.00	5.089	31.847	2.34	3.31	6.337	6.983	11.7	32.5

【0073】

【表4】

基板-4 Nチャネル型TFT

測定点	S-value ₁ [V/dec] (VD=1 V)	Vth[V] (VD=14 V)	Ion ₁ [μ A] (VD=1 V) (VG=10 V)	Ion ₂ [μ A] (VD=14 V) (VG=10 V)	Ioff ₁ [pA] (VD=1 V) (VG=17.5 V)	Ioff ₂ [pA] (VD=14 V) (VG=4.5 V)	Ion/Ioff ₁	Ion/Ioff ₂	μ FE ₁ [cm ² /Vs] (VD=1 V) (VG=14 V)	μ FE ₁ [cm ² /Vs] (VD=1 V) (max)
1	0.209	0.62	21.433	141.490	0.83	118.49	7.412	6.077	60.4	69.0
2	0.230	0.77	18.144	119.480	1.01	91.32	7.254	6.117	50.8	58.2
3	0.231	0.92	17.214	111.910	1.13	101.66	7.183	6.042	51.0	56.2
4	0.223	1.25	17.504	113.240	0.69	102.45	7.404	6.043	53.5	57.9
5	0.207	0.37	25.426	167.420	0.89	139.69	7.456	6.079	71.2	82.0
6	0.232	0.35	22.921	153.220	1.24	149.65	7.267	6.010	64.4	74.1
7	0.234	0.89	18.228	121.390	0.82	138.88	7.347	5.942	54.3	59.8
8	0.213	0.88	22.652	145.580	0.70	92.50	7.510	6.197	65.5	74.1
9	0.200	0.44	23.170	153.690	0.82	118.89	7.451	6.112	65.1	74.9
10	0.236	0.56	19.397	129.810	1.39	143.46	7.146	5.957	57.4	63.5
11	0.232	0.77	18.145	119.250	0.79	125.85	7.381	5.977	54.0	59.3
12	0.208	1.03	20.385	133.590	0.66	92.73	7.490	6.159	59.6	67.0
13	0.201	0.66	19.854	130.420	1.08	161.42	7.264	5.907	57.3	64.1
14	0.228	0.77	18.179	119.100	1.11	141.20	7.214	5.926	54.6	59.4
15	0.222	0.68	19.149	126.490	0.97	131.35	7.295	5.984	54.4	61.3
16	0.201	0.81	21.194	137.480	0.69	101.32	7.487	6.133	59.3	68.9

【0074】

【表5】

基板-4 Pチャネル型TFT

測定点	S-value ₁ [V/dec] (VD=1 V)	Vth[V] (VD=14 V)	Ion ₁ [μ A] (VD=1 V) (VG=10 V)	Ion ₂ [μ A] (VD=14 V) (VG=10 V)	Ioff ₁ [pA] (VD=1 V) (VG=17.5 V)	Ioff ₂ [pA] (VD=14 V) (VG=4.5 V)	Ion/Ioff ₁	Ion/Ioff ₂	μ FE ₁ [cm ² /Vs] (VD=1 V) (VG=14 V)	μ FE ₁ [cm ² /Vs] (VD=1 V) (max)
1	0.334	-2.75	11.123	52.798	12.53	1.08	5.948	7.885	52.8	63.6
2	0.185	-2.35	12.199	57.461	10.89	0.99	6.049	7.784	49.7	51.8
3	0.190	-2.34	12.128	57.945	5.63	1.04	8.333	7.748	49.5	51.7
4	0.173	-3.49	8.701	39.041	12.58	1.34	5.840	7.484	48.2	48.5
5	0.189	-2.43	12.999	82.789	18.38	1.08	5.850	7.784	56.7	58.7
6	0.212	-2.31	14.371	68.065	15.03	0.87	5.981	7.893	57.6	60.7
7	0.216	-2.44	12.499	60.448	28.59	1.02	5.872	7.773	53.1	54.6
8	0.305	-4.18	7.131	31.838	13.66	1.09	5.718	7.468	47.6	47.6
9	0.207	-2.52	12.394	59.218	15.56	1.19	5.901	7.697	54.3	56.6
10	0.205	-2.43	12.907	60.554	8.87	0.87	6.274	7.843	54.0	55.8
11	0.198	-2.43	12.312	58.359	13.12	0.96	5.872	7.784	52.0	53.7
12	0.246	-4.16	7.311	32.348	10.84	1.02	5.837	7.501	48.5	48.6
13	0.196	-2.75	11.111	52.046	14.05	0.91	5.898	7.757	52.0	53.1
14	0.216	-2.45	12.254	57.786	10.06	0.85	6.066	7.832	50.7	52.9
15	0.206	-2.23	11.344	56.603	14.72	0.75	5.867	7.878	48.3	47.8
16	0.205	-3.21	8.914	40.989	9.50	0.84	5.972	7.688	48.9	47.3

【0075】本明細書ではレーザ結晶化した多結晶シリコンを用いたTFTを作製したが、S値(S-Value)についてみると(図1、2及び表2～表5等参照)、その値はNチャネル型、Pチャネル型TFT双方とも0.2 V/decade前後にある。測定点全体としても、基板-4のPチャネル型TFTでは測定点1と8のように0.3 V/decadeを越えている特異点があるものの、0.2～0.3 V/decadeの範囲におさまっている。また基板-1と-4双方ともNチャネル型TFTのS値の均一性が特に優れている。

【0076】16の測定点のS値の平均値は、Nチャネル型TFTに関しては、基板-1では0.230 V/decade、基板-4では0.219 V/decadeである。Pチャネル型TFTに関しては、基板-1では0.234 V/decade、基板-4では0.218 V/decadeである。このようにS値の平均値は0.21～0.23 V/decadeであった。

【0077】通常、低温プロセスで形成されたTFTのS値は0.4～0.5 V/decadeの範囲が限度であった。

ことを考えると、600℃以下のプロセス温度で作製された本実施形態ではS値を0.4 V/decade以下にすることができ、代表的には0.2～0.3 V/decadeにすることができた。

【0078】表2～5においてS値(S-value)の他の特性の意味は以下のとおりである。Ionとはオン電流の意であり、TFTがオン(on)状態にある時に流れるドレイン電流である。Ion-1とIon-2はドレイン電圧VDとゲート電圧の条件が異なっている。他の特性の場合も同様である。

【0079】IoffはTFTとはオフ電流あるいはリーク電流の意であり、TFTがオフ状態にあるときに流れるドレイン電流である。そしてIoff/Ionはオフ電流とオン電流比をとったものであり、オン電流とオフ電流の桁数を差を表している。Ioff/Ionが大きいほどスイッチング特性に優れている。

【0080】Vthは一般にしきい値電圧と呼ばれる係数を表し、例えばTFTがオン状態に切り替えるときのゲー

ト電圧値と定義される。表中の値はルートID外挿法で得た値である。 V_{th} は小さいほど好ましく、 V_{th} が大きいとゲート電圧に印加する電圧を高く設定しなければならないので、消費電力の増加を招くこととなる。 μFE は電界効果移動度であり、モビリティとも呼ばれる。半導体層中のキャリアの移動のしやすさを示す。

【0081】以上説明したとおり、基板-1と基板-4の工程条件に従えばS値が0.2~0.3V/decadeのTFETを得ることができる。また図1、2に示すようにその値のばらつきを小さくすることができた。よって、本発明のTFETは均一な特性が要求されるようなアクティブマトリクス型液晶表示装置の画素部のスイッチング素子や、MOS型のイメージセンサのスイッチング素子に好適である。なお本発明に係るTFETの構成及びその作製方法に関して、基板-1と基板-4の工程条件に限定されるものではなく、上述したように、作製工程中のゲート絶縁膜の温度に対する制限が保たれていればよい。

【0082】例えば、本明細書中では、非晶質シリコン膜の結晶化工程に、エキシマレーザを照射する方法を用いたが、エキシマレーザのようなパルス発振レーザの他、Arレーザに代表される連続発振レーザ光を照射する方法を用いても良い。あるいは電気炉内で600℃程度の温度で10~24時間程度の加熱処理する方法や、また熱処理に赤外光を照射するRTA法を用いることもできる。

【0083】結晶化工程の条件を制御することによって、多結晶シリコン膜の結晶粒径や粒界の状態等、膜質が決定されるため、実施者が適宜に設定すればよい。エキシマレーザを用いた結晶化は工程時間は、電気炉内での加熱処理にくらべ非常に短い。またRTA法では基板を急激に加熱するため基板が溶ったりするおそれがありストレスが発生が危惧されるが、紫外光を照射するエキシマレーザを用いた結晶化では基板に熱的な影響を与えることが無いという長所を有する。さらに、SPCで結晶化した半導体膜を用いたTFETよりも移動度が高く、 $50\sim70\text{cm}^2/\text{Vs}$ とすることができる。

【0084】ここでは、半導体層を構成する結晶性半導体薄膜として、非晶質シリコン膜を結晶化した多結晶シリコン膜を用いたが、非晶質シリコンゲルマニウムを多結晶化した多結晶シリコンゲルマニウム膜を用いることもできる。

【0085】〔実施形態2〕 実施形態1で説明した基板-1、-4では、大半のTFETのS値は0.2~0.3V/decadeの範囲に主に分布していた。基板-1、-4では、エキシマレーザによって結晶化された多結晶シリコン膜を用いてTFETを製造した場合は、多シリコン膜の形成工程を工夫することによって、S値を0.1V/decadeまで低下させることができた。本実施形態では、多結晶シリコン膜の形成方法について説明する。

【0086】以下、図7のフロー図、図12の断面図を

参照して、本実施形態のTFETの作製工程を説明する。また、本実施形態のTFETは図8の構造（基板-1のTFETの構造）と同じであり、非晶質シリコン膜結晶化工程及びゲッターリング工程以外は、基板-1とほぼ同じ工程で作製した。

【0087】（基板前処理工程） 先ず、基板401として、5インチの1737ガラス基板（コーニング社製）を用意した。そして、基板401を純水で洗浄した後、640℃で加熱処理し4時間かけて室温まで冷却し、再び純水で洗浄した。

【0088】（下地膜成膜工程） 次に、基板401上に下地膜402を形成する。下地膜402として、TEOSと酸素（ O_2 ）を原料ガスにし、プラズマCVD装置によって酸化シリコン膜を200nmの厚さに堆積した。成膜条件は基板温度400℃、圧力0.3torr、RF出力300Wとし、ガス流量はTEOS10sccm、酸素50sccmとした。また、本実施形態では、下地膜402の成膜後、電気炉内で4時間、640℃で下地膜402を加熱処理した。

【0089】（非晶質シリコン膜成膜工程） 次に下地膜402上に、およそ54nmの厚さの非晶質シリコン膜403をシラン（ SiH_4 ）を原料にプラズマCVD装置によって堆積した。成膜条件は基板温度300℃、圧力0.5torr、RF出力20W、シランガス流量100sccmとした。

【0090】（非晶質シリコン膜結晶化工程） 本実施形態では、特開平7-130652号公報記載の技術を利用して、Niを非晶質シリコン膜403に添加し、このNiの触媒作用を利用して非晶質シリコン膜結晶化した。先ず、UV光を照射して非晶質シリコン表面を酸化して、非晶質シリコン膜403の濡れ性を改善した。次にスピコートによって基板401を回転しながら、ニッケル酢酸塩を溶かしたエタノール溶液を非晶質シリコン膜403に滴下して、非晶質シリコン膜403表面に塗布（スピコート）した。そして溶液の滴下をやめて、スピコートによってスピンドライ（回転速度2000rpm、60秒間）によって乾燥した。非晶質シリコン膜402の表面にはニッケル含有層403が形成され、個々の状態で、層403内のニッケルは非晶質シリコン膜402と接した状態となっている。（図12（A））

【0091】なお、エタノール溶液には重量換算で10ppmのニッケルを含むように、ニッケル酢酸塩を溶かしてある。なお溶液中のニッケル濃度は、非晶質シリコン膜におけるNi濃度が $1\times10^{18}\sim1\times10^{20}\text{atoms/cm}^3$ になるようにすればよい。また上記公報に記載のように、ニッケル以外にもコバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）、ゲルマニウム（Ge）、鉛（Pb）、ゲルマニウム（Ge）から選ばれた元素を触媒元素として用いることができる。

【0092】こうして図12(A)の状態が得られたら、500℃、1時間の水素出しの後、窒素雰囲気において550℃、4時間加熱処理し、その後大気雰囲気において、KrFエキシマレーザを照射した。エキシマレーザは光学系によって線状に成形して照射し、線状ビームの走査速度を1.2mm/secにして照射エネルギー密度が338mJ/cm²になるようにした。加熱処理とレーザ処理によって、非晶質シリコン膜402は結晶化されて、多結晶シリコン膜404に変性した。(図12(B))

【0093】結晶化工程での加熱温度は500~700℃、代表的には550~650とすればよい。これは、ニッケルとシリコンが反応してシリサイド化した部分だけを核にして結晶成長させるためであり、非晶質シリコン膜402にランダムな核発生をできるだけ抑えるためである。上記の温度範囲であれば、非晶質シリコン膜402の結晶化は膜402の表面で発生した核から優先的に進行し、非晶質シリコン膜402から下地膜401に向って結晶成長が進行する。また、加熱時間を6時間以上に延長することによって、レーザ照射工程を省略することもできる。

【0094】(ゲッタリング工程) 本実施形態では、非晶質シリコン膜の結晶化にニッケル元素を用いることで、結晶化工程のスループットを向上させることができた。熱処理で結晶化する場合には、触媒元素を用いない場合では、10時間以上要する。しかしながら、触媒元素はシリコン膜の半導体特性を損わせるものであり、結晶化工程が終了したら不要となる。そこで本実施形態では、リンのゲッタリング作用を利用して、多結晶シリコン膜404中のニッケルをゲッタリングした。

【0095】まず、結晶化工程終了後、酸化シリコン膜となるマスク絶縁膜405を形成した。酸化シリコン膜の成膜条件は、原料ガスTEOS(流量10sccm)、酸素(流量50sccm)を用い、基板温度400℃、圧力0.3torr、RF出力300Wとし、酸化シリコン膜を130nmの厚さに成膜した。そして、パターニングして、リンを添加するための開口部405aを形成した。

【0096】そして、プラズマドーピング法によって、マスク絶縁膜405をマスクにして多結晶シリコン膜404にリンをドーピングした。ドーピングガスに水素(H₂)で5%に希釈したPH₃を使用した。ドーピング条件は、加速電圧10kV、RF出力5W、設定ドーズ量は5×10¹⁴cm²とした。

【0097】ドーピングによって、リン添加領域406が形成された。ここでは、リン添加領域406以外の領域を被ゲッタリング領域407と呼ぶことにする。リン添加領域406中のリン濃度は1×10¹⁹~1×10²¹atoms/cm³となるように、即ち多結晶シリコン膜404(被ゲッタリング領域407)におけるニッケル濃度の少なくとも約10倍となるようにすることが好ましい。(図12(D))

【0098】そして、リン添加領域108を形成した後、窒素雰囲気中で、600℃、12時間加熱して、被ゲッタリング領域407内のニッケルをゲッタリングした。ゲッタリングのための加熱処理温度は、500~800℃、好ましくは600~650℃とし、また加熱時間は2~24時間(好ましくは8~15時間)とする。

【0099】加熱処理によって、被ゲッタリング領域407内のニッケルがリン添加領域406へ拡散して(図12(E)中の矢印で示す)、領域406内のリンに捕獲される。これによって、被ゲッタリング領域407'はニッケル濃度を5×10¹⁷atoms/cm³以下(好ましくは2×10¹⁷atoms/cm³以下)にまで低減される。

(図12(E))

【0100】なお、現状ではSIMS(質量二次イオン分析)による検出下限が5×10¹⁷atoms/cm³程度であるため、それ以下の濃度を調べることはできない。しかしながら、本実施例に示すゲッタリング工程を行えば、少なくとも1×10¹⁴~1×10¹⁵atoms/cm³程度にまで低減されるものと推定される。

【0101】こうしてニッケルのゲッタリング工程が終了したら、マスク絶縁膜405を除去した後、多結晶シリコン膜404をドライエッチングにてパターニングしてTFTの半導体層408を形成した。ここでは被ゲッタリング領域407'のみを利用して、TFTの半導体層408を形成する。ニッケルをゲッタリングしたリン添加領域406は完全に除去してしまうことが望ましい。こうすることでニッケルが再びTFTの半導体層408内へと逆拡散することを防げる。(図12(F))

【0102】また、ニッケルを除去するためにリンを利用したが、リン以外にも砒素、アンチモン等の他の15族元素を用いることもできるが、ゲッタリング能力が最も高いのがリンであり、ついでアンチモンであった。

【0103】パターニング終了後は、実施形態1で説明したように、基板-1と同様の条件で工程S7~工程S13を順次に行い、同一基板400上に、Nチャネル型TFTとPチャネル型TFTとを同時に作製した。

【0104】本実施形態のTFTも実施形態1と同じ条件(ゲート電圧値、ドレイン電圧値等)で、電気的特性を測定した。本実施形態の条件下では、S値の最小値が0.1~0.15V/decade(基板ごとにより異なる)まで小さくすることができ、また同一基板上ではS値は0.1~0.3V/decadeの範囲に分布していた。このように、基板-1や-4よりもS値を低下させること、即ちS値を0.1~0.3V/decadeとすることができた。

【0105】本実施形態で説明した多結晶シリコン膜の形成工程は、即ち非晶質シリコン膜の結晶化にニッケルのような触媒元素を用い、さらに結晶化工程後、多結晶シリコン膜内の触媒元素を除去する工程は、600℃以下のプロセス温度で実施することができる。そしてTFTの製造過程のプロセス温度が600℃以下であって

も、S値が0.3V/decade以下のTFTを作製できた。

【0106】〔実施形態3〕 本実施形態では、実施形態1、2で得られたTFTをアクティブマトリクス型液晶表示装置(AMLCD)に応用した例を示す。図13にはAMLCDの概略の構成を示す。

【0107】図13(A)において、501はアクティブマトリクス基板であり、画素マトリクス回路502、ソース側駆動回路503、ゲート側駆動回路504が形成されている。駆動回路はNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせたCMOS回路等で構成されている。また、505は対向基板である。

【0108】画素マトリクス回路502や駆動回路503、504は実施形態1、2で示した工程に従って作製したTFTによって形成されている。図14には、画素マトリクス回路502のスイッチング素子の断面構成図を示す。図14のTFTは図8に示したTFTと同じであるので、その作製工程の説明は省略する。実施形態1で説明した基板-1の工程条件に従って、Nチャネル型TFTと、Pチャネル型TFTを同一基板上に作製する。なお、本発明のTFTの構造は図8の構造に限定されるものではないのは、いうまでもない。

【0109】なお、駆動回路503、504のCMOS回路を構成するNチャネル型TFTとPチャネル型TFTは、ソース電極113、ドレイン電極114を形成する工程において、そのゲート電極を接続する配線が形成される。

【0110】TFTが完成したら、TFTを覆う層間絶縁膜511を形成する。ここでは、スピンコート法によりポリイミド膜を1 μ mの厚さに形成した。層間絶縁膜511は画素膜512の下地となるため、平坦化膜が好ましく、樹脂膜が好適である。ポリイミドの他にアクリルやポリイミドなどを用いることができる。

【0111】次に、層間絶縁膜511にドレイン電極114に対するコンタクトホールを開孔する。そしてスパッタ法にてITO膜を120nmの厚さに成膜し、パターンニングして透過型の画素膜512を形成した。なお、画素電極512を反射型とする場合には、可視光を反射する金属膜、代表的にはアルミニウムによって画素電極512を形成すればよい。これによって、アクティブマトリクス基板501が完成する。なお、必要に応じてアクティブマトリクス基板501表面には配向膜が形成される。

【0112】図13(A)に示すAMLCDでは、アクティブマトリクス基板501と対向基板505とが端面を揃えて貼り合わされている。ただし、アクティブマトリクス基板501の1端面は突出しており、この突出した面に形成された取出し端子に、FPC(フレキシブル・プリント・サーキット)506が接続されている。このFPC506によって外部信号が基板501上の回路へと伝達される。

【0113】また、FPC506を取り付ける面を利用してICチップ507、508が取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、 γ 補正回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図13(A)ではICチップは2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0114】また、AMLCDは、図13(B)の様な構成もとりうる。図13(B)において図13(A)と同一の部分は同じ符号を付してある。ここでは図13

(A)でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路509によって行う例を示している。この場合、ロジック回路509も駆動回路503、504と同様にCMOS回路を基本として構成される。

【0115】また、本実施例のAMLCDはブラックマスクをアクティブマトリクス基板に設ける構成(BM-on TFT)を採用するが、それに加えて対向側にブラックマスクを設ける構成とすることも可能である。

【0116】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB(電界制御複屈折)モード、GH(ゲストホスト)モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。

【0117】また、特開平8-15686号公報に記載された技術のように、マイクロレンズアレイを用いる構成にしても良い。

【0118】また、液晶表示装置について説明したが、有機EL表示装置など他のアクティブマトリクス型表示装置に本発明の薄膜トランジスタを用いることができる。

【0119】〔実施形態4〕 実施形態3に示したAMLCDは、様々な電子機器のディスプレイとして利用できる。ここで挙げる電子機器とは、AMLCDを搭載した製品と定義する。

【0120】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ(ノート型を含む)、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。それらの一例を図15に示す。

【0121】図15(A)は携帯電話であり、本体1001、音声出力部1002、音声入力部1003、表示装置1004、操作スイッチ1005、アンテナ1006で構成される。本願発明は音声出力部1002、音声入力部1003、表示装置1004等に適用することができる。

【0122】図15(B)はビデオカメラであり、本体1101、表示装置1102、音声入力部1103、操作スイッチ1104、バッテリー1105、受像部11

06で構成される。本願発明は表示装置1102、音声入力部1103、受像部1106に適用することができる。

【0123】図15(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体1201、カメラ部1202、受像部1203、操作スイッチ1204、表示装置1205で構成される。本願発明は受像部1203、表示装置1205等に適用できる。

【0124】図15(D)はヘッドマウントディスプレイであり、本体1301、表示装置1302、バンド部1303で構成される。本発明は表示装置1302に適用することができる。

【0125】図15(E)はリア型プロジェクターであり、本体1401、光源3402、表示装置1403、偏光ビームスプリッタ1404、リフレクター1405、1406、スクリーン1407で構成される。本発明は表示装置1403に適用することができる。

【0126】図15(F)はフロント型プロジェクターであり、本体1501、光源1502、表示装置1503、光学系1504、スクリーン1505で構成される。本発明は表示装置1503に適用することができる。

【0127】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝広告用ディスプレイなどにも活用することができる。

【0128】

【発明の効果】本発明では、ゲート絶縁膜を構成する絶縁被膜を成膜した後、それ以降の工程では、絶縁被膜をその成膜温度以上に加熱しないようにすることで、薄膜トランジスタのS値を0.1~0.4V/decadeとすることができた。本発明によって、600℃以下のプロセス温度であっても、サブスレッショルド特性が良好な薄膜

トランジスタを作製することが可能になった。

【図面の簡単な説明】

【図1】 Nチャネル型TFTのS値の分散図。

【図2】 Pチャネル型TFTのS値の分散図。

【図3】 基板-1のID-VG曲線。

【図4】 基板-2のID-VG曲線。

【図5】 基板-3のID-VG曲線。

【図6】 基板-4のID-VG曲線。

【図7】 本発明の薄膜トランジスタの製造方法の工程フロー図。

【図8】 本発明の薄膜トランジスタの構成を示す断面図。

【図9】 本発明の薄膜トランジスタの構成を示す断面図。

【図10】 薄膜トランジスタの製造方法を示す断面図。

【図11】 薄膜トランジスタの製造方法を示す断面図。

【図12】 本発明の結晶化方法を示す断面図。

【図13】 本発明のAMLCDの概略の構成図。

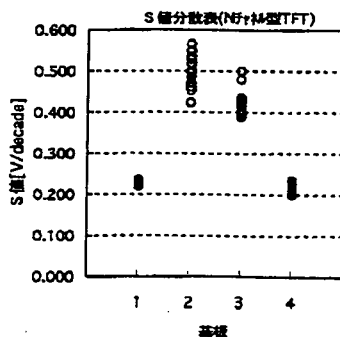
【図14】 本発明の画素マトリクス回路のTFTの構成図。

【図15】 本発明のAMLCDを搭載した電子機器の概観図。

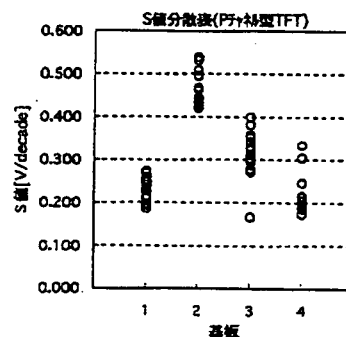
【符号の説明】

- 100 基板
- 103 活性層
- 104 ゲート絶縁膜
- 105 チャネル形成領域
- 106 ソース領域
- 107 ドレイン領域
- 110 ゲート電極
- 112 層間絶縁膜
- 113 ソース電極
- 114 ドレイン電極

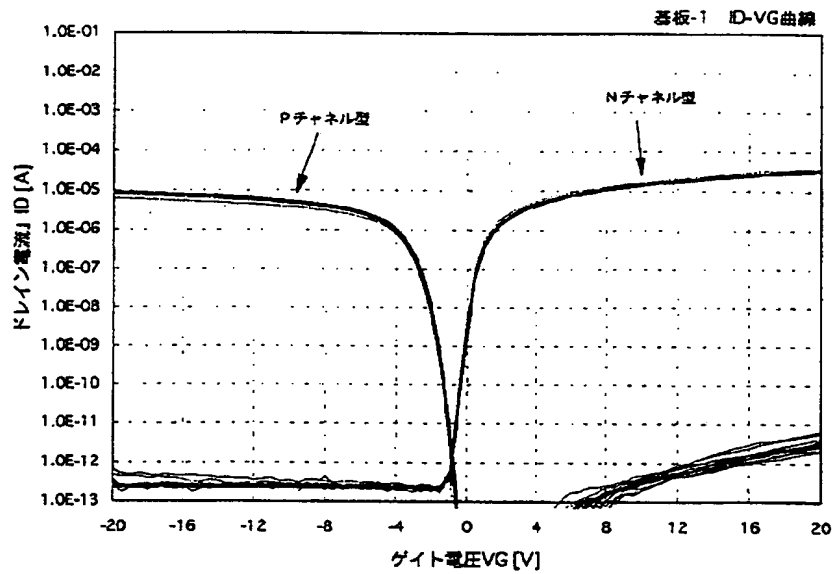
【図1】



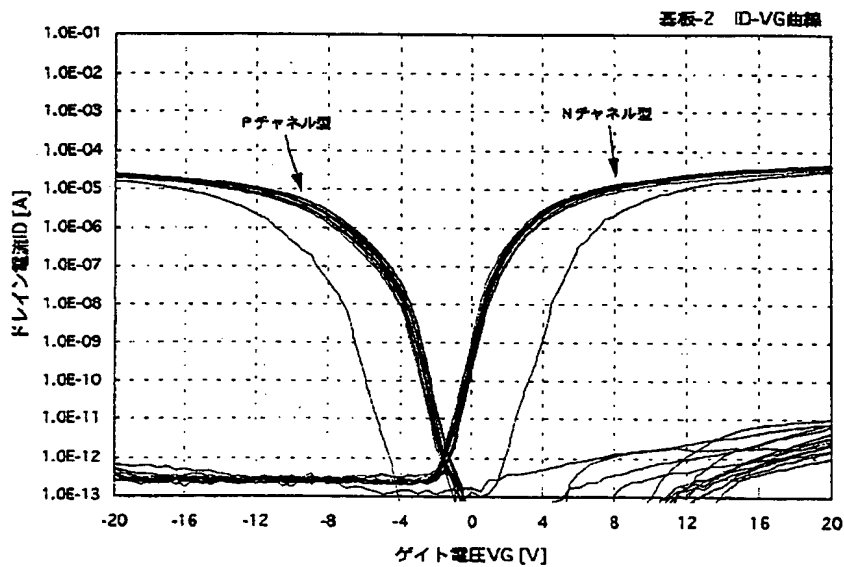
【図2】



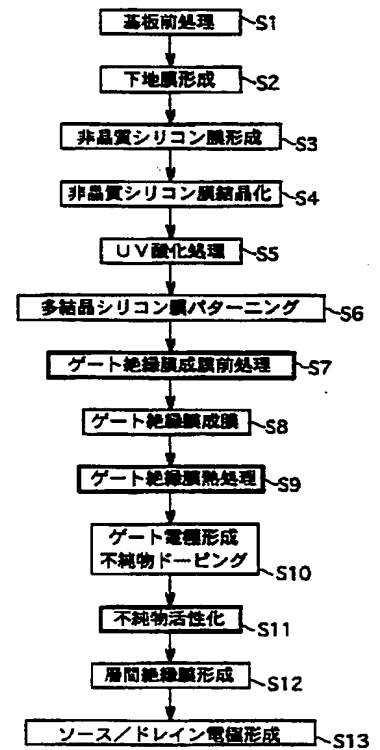
【図3】



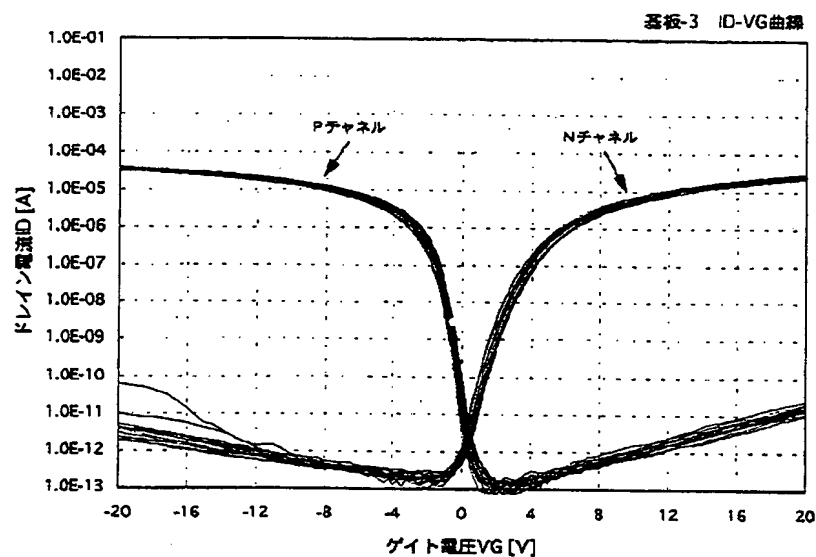
【図4】



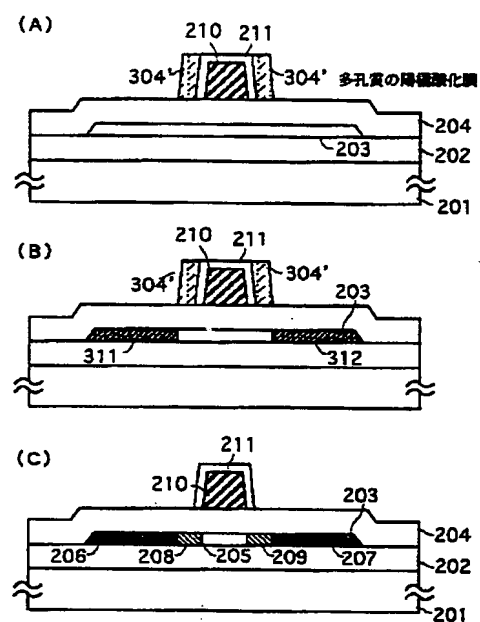
【図7】



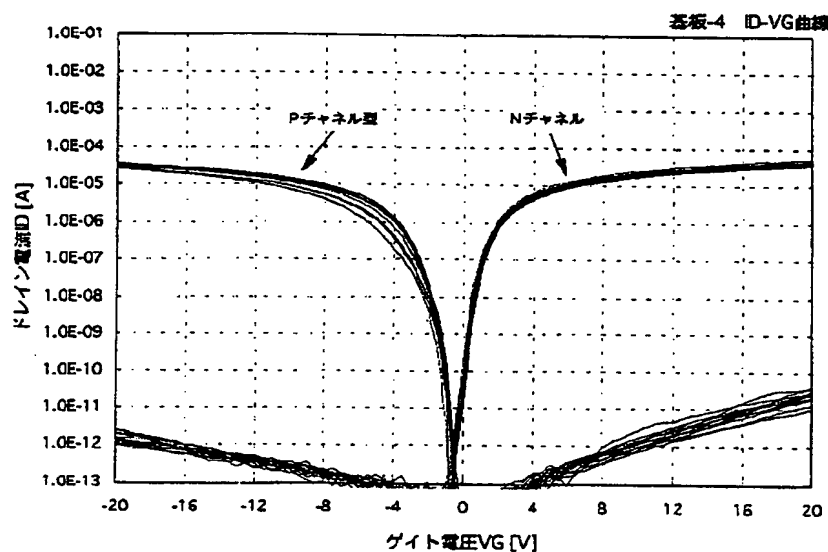
【図5】



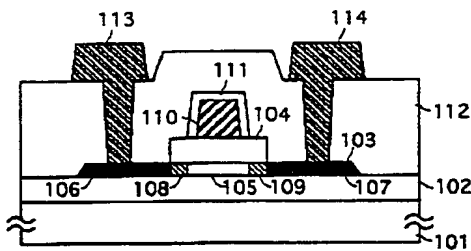
【図11】



【図6】

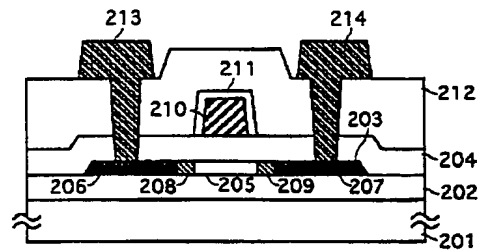


【図8】



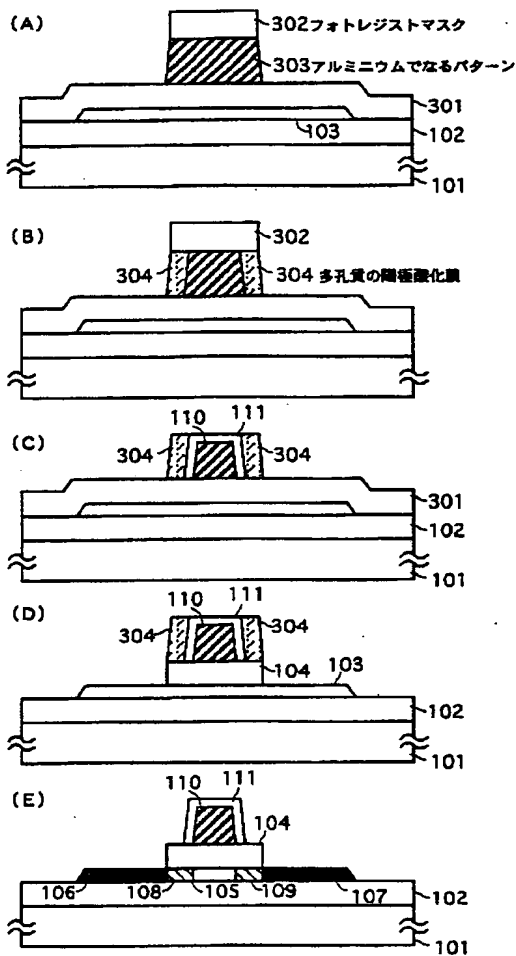
101基板 102下地膜 103半導体層 104ゲイト絶縁膜 105材料形成領域
106ソース領域 107ドレイン領域 108, 109高抵抗領域 110ゲイト電極
111層薄酸化膜 112層間絶縁膜 113ソース電極 114ドレイン電極

【図9】

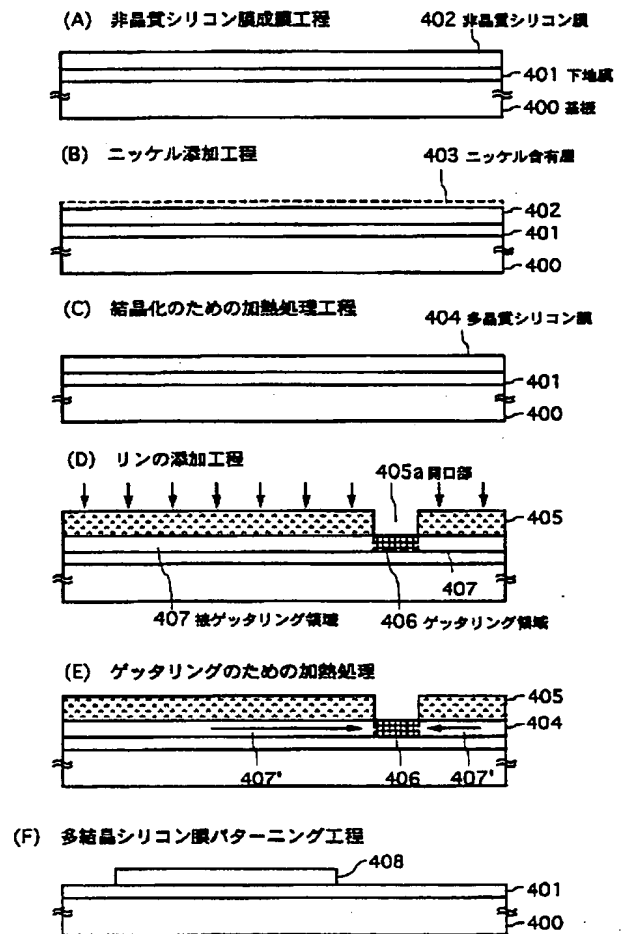


201基板 202下地膜 203半導体層 204ゲイト絶縁膜 205材料形成領域
206ソース領域 207ドレイン領域 208, 209高抵抗領域 210ゲイト電極
211層薄酸化膜 212層間絶縁膜 213ソース電極 214ドレイン電極

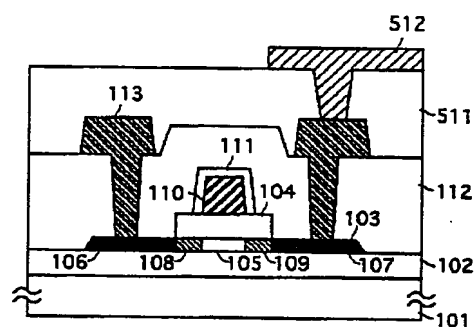
【図10】



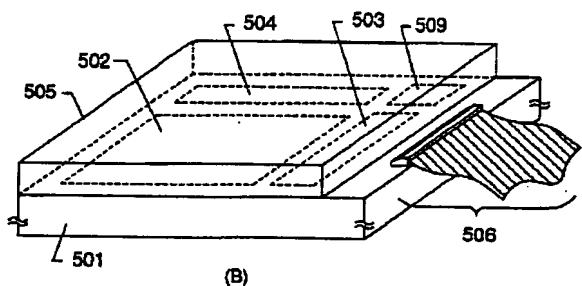
【図12】



【図 14】



(A)



(B)

501: アクティブマトリクス基板 502: 画素マトリクス回路
503: ソース駆動回路 504: ゲート駆動回路 505: 対向基板
506: FPC 507、508: ICチップ 509: ロジック回路

101基板 102下地膜 103半導体層 104ゲイト絶縁膜 105パッド形成領域
106ソース領域 107ドレイン領域 108、109高抵抗領域 110ゲイト電極
111局所酸化膜 112層間絶縁膜 113ソース電極 114ドレイン電極
511層間絶縁膜 512面電極

【図15】

